

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-353035

(43)Date of publication of application : 19.12.2000

(51)Int.Cl.

G06F 3/00
H03K 19/0175
H04N 5/335

(21)Application number : 2000-131252

(71)Applicant : CONEXANT SYST INC

(22)Date of filing : 28.04.2000

(72)Inventor : RANDY M CHAN
FERRY GUNAWAN
TROTTO DINO D

(30)Priority

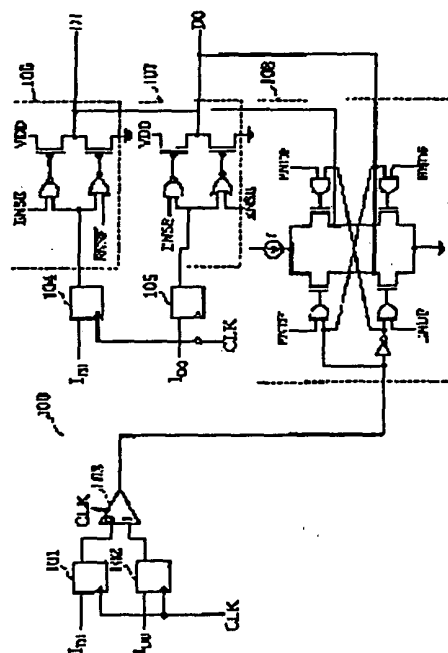
Priority number : 99 302090 Priority date : 29.04.1999 Priority country : US

(54) SIGNAL COMMUNICATION INTERFACE FORMED BY INTEGRATING SINGLE-END TYPE AND DIFFERENTIAL TYPE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an interface circuit to realize both of single-end output having compatibility with many existent external device and differential output by which noise reduction and lowering of power interface in an interface with the external devices are expected by using only the minimum number of pins.

SOLUTION: The interface circuit 100 is provided with single-end electric circuits 106, 107 and a differential electric circuit 108, single-end and differential signals are switched by complementary ENSE and ENDF signals. Data transfer width is set as word width, data is transferred once by every clock in a single-end mode, however, the data is transferred twice by every clock in each edge of the clock in a differential mode.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-353035

(P2000-353035A)

(43) 公開日 平成12年12月19日 (2000. 12. 19)

(51) IntCl. ⁷	識別記号	F I	テ-コ-ド* (参考)
G 0 6 F	3/00	G 0 6 F 3/00	L
H 0 3 K	19/0175	H 0 4 N 5/335	Z
H 0 4 N	5/335	H 0 3 K 19/00	1 0 1 R

審査請求 未請求 請求項の数16 O L (全 8 頁)

(21) 出願番号 特願2000-131252(P2000-131252)

(22) 出願日 平成12年4月28日 (2000. 4. 28)

(31) 優先権主張番号 09/302090

(32) 優先日 平成11年4月29日 (1999. 4. 29)

(33) 優先権主張国 米国 (U S)

(71) 出願人 599022443

コネクサント システムズ インコーポレ
イテッド

アメリカ合衆国、カリフォルニア州

92660-3095、ニューポート ビーチ、エ

ム/エス イー09-900、ジャムボリー

ロード 4311

(72) 発明者 ランディ エム チャン

アメリカ合衆国 カリフォルニア州

92677 ラギュナヒルズ ピアエストリー

ル 30542

(74) 代理人 100090446

弁理士 中島 司朗

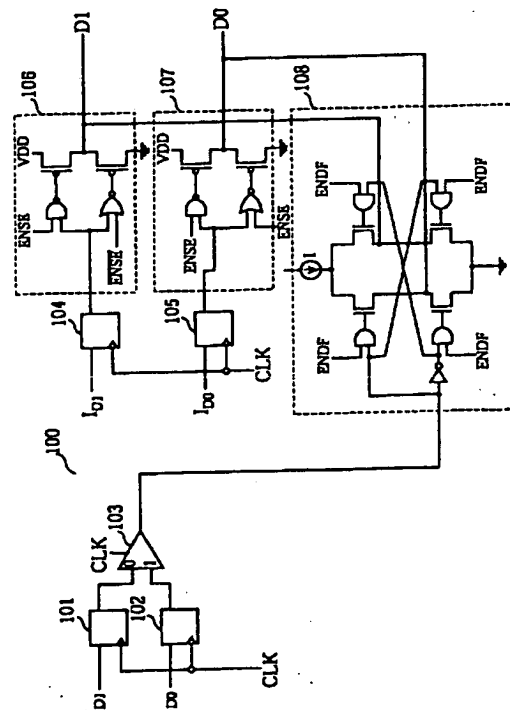
最終頁に続く

(54) 【発明の名称】 シングルエンド型および差分型を統合した信号通信インタフェース

(57) 【要約】

【課題】 既存の外部デバイスの多くと互換性を備えるシングルエンド出力および外部デバイスとのインタフェースにおけるノイズの低減と電力インタフェースの低下とを見込める差分出力の両方を、最小限の数のピンのみ使用して実現するインタフェース回路を提供する。

【解決手段】 インタフェース回路100は、シングルエンド電気回路106、107と差分電気回路108とを備え、相補的なENSE信号とENDF信号とでシングルエンドか差分信号かを切り替える。データ転送幅はワード幅に設定されており、シングルエンドモードでは、データはクロックごとに1回転送されるが、差分モードでは、クロックごとに2回、クロックの各エッジにおいて転送される。



【特許請求の範囲】

【請求項 1】 第 1 の信号出力線に接続された第 1 のシングルエンドインタフェースと、

第 2 の信号出力線に接続された第 2 のシングルエンドインタフェースと、

第 1 の出力線に接続された通常信号出力と第 2 の信号出力線に接続された補完信号出力とを備える差分インタフェースと、を有するデータインタフェース回路であって、

前記データインタフェース回路の出力が、シングルエンドインタフェース出力と差分インタフェース出力の間で選択可能であること、

を特徴とするデータインタフェース回路。

【請求項 2】 前記シングルエンド出力が選択された場合、おのおのの信号出力線で、クロックサイクル毎に 1 ビットが転送されること、

を特徴とする請求項 1 に記載のデータインタフェース回路。

【請求項 3】 前記差分出力が選択された場合、クロックの第 1 のエッジにおいて全出力ビットの半分が転送され、前記クロックの第 2 のエッジにおいて前記出力ビットの残り半分が転送され、使用するピンの総数は前記シングルエンドインタフェースと同じであること、

を特徴とする請求項 2 に記載のデータインタフェース回路。

【請求項 4】 CMOS イメージセンサチップに組み込まれていること、

を特徴とする請求項 3 に記載のデータインタフェース回路。

【請求項 5】 シングルエンドおよび差分インタフェース回路の組を複数、更に有すること、

を特徴とする請求項 3 に記載のデータインタフェース回路。

【請求項 6】 シングルエンドおよび差分インタフェース回路の組を 5 組有して 10 本の出力線を駆動すること、

を特徴とする請求項 5 に記載のデータインタフェース回路。

【請求項 7】 データ転送幅が、CMOS イメージセンサの出力のワード幅に設定されていること、

を特徴とする請求項 5 に記載のデータインタフェース回路。

【請求項 8】 第 1 の信号出力線に接続された第 1 のシングルエンドインタフェースと、

第 2 の信号出力線に接続された第 2 のシングルエンドインタフェースと、

第 1 の出力線に接続された通常信号出力と第 2 の信号出力線に接続された補完信号出力とを備える差分インタフェースと、を有するデータインタフェース回路を備える CMOS イメージセンサであって、

前記データインタフェース回路の出力が、シングルエンドインタフェース出力と差分インタフェース出力の間で選択可能であるものと、

前記 CMOS イメージセンサに接続されて前記データインタフェース回路からの出力信号を受け取る画像処理プロセッサと、を有することを特徴とする CMOS イメージング装置。

【請求項 9】 前記シングルエンド出力が選択された場合、おのおのの信号出力線で、クロックサイクル毎に 1 ビットが転送されること、

を特徴とする請求項 8 に記載の CMOS イメージング装置。

【請求項 10】 前記差分出力が選択された場合、クロックの第 1 のエッジにおいて全出力ビットの半分が転送され、前記クロックの第 2 のエッジにおいて前記出力ビットの残り半分が転送され、使用するピンの総数は前記シングルエンドインタフェースと同じであること、

を特徴とする請求項 8 に記載の CMOS イメージング装置。

【請求項 11】 シングルエンドおよび差分インタフェース回路の組を複数、更に有すること、

を特徴とする請求項 10 に記載の CMOS イメージング装置。

【請求項 12】 シングルエンドおよび差分インタフェース回路の組を 5 組有して 10 本の出力線を駆動すること、

を特徴とする請求項 11 に記載の CMOS イメージング装置。

【請求項 13】 データ転送幅が、前記 CMOS イメージセンサの出力のワード幅に設定されていること、

を特徴とする請求項 11 に記載の CMOS イメージング装置。

【請求項 14】 画像処理方法であって、以下のステップを有する：複数の CMOS イメージ検知ピクセルを用いてアナログ画像信号を形成する；前記アナログ画像信号を変換して複数のデジタル出力信号を形成する；そして、

前記デジタル出力信号を、選択に応じて、シングルエンドまたは差分のインタフェース回路のいずれかを介して、デジタル画像処理装置に転送する。

【請求項 15】 シングルエンド出力が選択された場合、おのおのの信号出力線で、クロックサイクル毎に 1 ビットが転送されること、

を特徴とする請求項 14 に記載の画像処理方法。

【請求項 16】 差分出力が選択された場合、クロックの第 1 のエッジにおいて全出力ビットの半分が転送され、前記クロックの第 2 のエッジにおいて前記出力ビットの残り半分が転送され、使用するピンの総数は前記シングルエンドインタフェースと同じであること、

を特徴とする請求項 15 に記載の画像処理方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、一般的にはインタフェース回路に関する。さらに言えば、本発明は、CMOSイメージセンサから外部のデジタル信号プロセッサへの信号出力を、シングルエンドと差分とで選択可能に提供するインタフェース回路に関する。なお、本願は、米国出願番号 09/062,343 (1998年4月17日出願)の一部継続出願である。

【0002】

【従来の技術】CMOSイメージセンサ(CMOSイメージャ)がCCDイメージャに対して優っている点の一つに、CMOSイメージャチップがデジタル信号処理用の電気回路を含むことができる、という点がある。実際問題として、アプリケーションの柔軟性を高めるために、信号処理はコンパニオンチップ上で実行されることの方が多い。しかし、CMOSイメージャは、アナログ信号をコンパニオンチップで処理できるデジタルビットストリームに変換する目的で、アナログデジタル変換器を組み込んでいることが多い。そして、デジタル化された情報は、コンパニオンチップあるいはその他の外部装置(画像の記憶、処理または伝送を行うもの)に転送される。シングルエンドインタフェースは、データ転送に関して、最も一般的で最も単純な実現手段である。シングルエンドインタフェースの例を図1に示す。CMOSイメージャ1内のドライバ2は、コンパニオン処理チップ3に信号を出力する。受信器4は、その信号を受け取って、後続の処理に用いるために増幅する。図2は、上記のシングルエンドインタフェースの、CMOSにおいて可能な実現形態の一つを示す回路図である。

【0003】差分インタフェースは、シングルエンドインタフェースに比べて、電力およびノイズ発生を最小限に抑えることができるが、通常、必要な信号線の数は2倍となる。図3は、従来の低圧差分信号(LVDS)回路11の例を示す。LVDS11の回路は、差分ペアライン13、15のうちの1本を駆動する電流源11(公称値:3.5mA)を含む。受信器17は、DCインピーダンスが高い(DC電流をソースもシンクもしない)ので、駆動電流の大半は100Ωの終端抵抗R1を流れて、受信器の入力19、21におよそ350mVの電圧を生成する。ドライバ23が切り替えを行うと、それが抵抗R1を流れる電流の方向が変わり、それによって、有効な「1」または「0」の論理状態が生成される。

【0004】LVDS技術による電力節約には、いくつかの重要な方法がある。負荷(100Ωの終端抵抗R1)のために消失する電力は、単に1.2mWにすぎない。比較すると、RS422ドライバが普通に、100Ωの終端抵抗に3ボルトを送る場合、電力消費は90mWとなり、LVDSの75倍である。同様に、LVDS装置11が必要とする電源電流は、 $PECL/ECL$

装置のおよそ10分の1である。

【0005】負荷および静的な I_{cc} 電流において消失する電力は別にして、LVDSはさらに、CMOS電流モードドライバ設計によって、システムが必要とする電力を下げる。この設計は、 I_{cc} の周波数成分を大きく低減する。LVDSに関して、 I_{cc} 対Frequencyのプロットは、カッド装置の場合、実質的には10MHzと100MHzとの間でフラットになる(<50mA、100MHzでドライバ+受信器の総計)。対照的に、シングルエンドの場合、TTL/CMOSTランシーバでは、周波数に対して指数関数的に増加する動的な電力消費が見られる。

【0006】信頼性を保証するのに役立つため、LVDS受信器17は、ある故障条件の下での出力を間違いなく公知の論理状態(HIGH)とするフェイルセーフ機能を有する。これらの条件には、オープン、ショート、受信器入力の中断が含まれる。ドライバ23が電力を失ったり、使用不能となったり、ラインから外れるなどし、その一方で、受信器17が電源ONのままで入力17が中断した状態となっても、フェイルセーフ機能により受信器出力は公知の状態にとどまる。

【0007】LVDS受信器17がフェイルセーフ特徴を持たない場合に故障条件のうちの1つが発生すると、受信器の閾値を上回る外部ノイズは、どんなものでも出力を誘発し、エラーを引き起こす可能性がある。フェイルセーフのない受信器はさらに、特定の故障条件の下では振動にすら至ってしまう場合がある。フェイルセーフ機能は、故障条件下での受信器出力を確実にHIGHにして、未知の状態に成らないようにする。

【0008】図4は、出願中の米国出願番号 09/062,343に記載された好適な実施の形態によるCMOSビデオ画像検知回路を図示するものである。この電気回路は、CMOSイメージセンサチップ50と画像処理チップ52を含む。CMOSイメージセンサチップ50は、典型的な形として、光に反応し、画像を表すアナログ信号を発するCMOSピクセルセンサを多数有している。そして、これらのアナログ信号は、ADC回路によってAD変換され、デジタル信号Din0, Din1...Dinnを作り出す。画像処理チップ52は、圧縮や色処理など各種の画像データ加工処理を実行するデータプロセッサ53を含む。

【0009】プロセッサ53は、ソフトウェアで動作させてもよいし、ハードウェアで実現してもよい。見ての通り、図4の回路は複数のLVDS回路11を用いている。回路11は各々、各自のドライバ54と各自の受信器56とを有する。各ドライバ54は、それぞれに入力信号Din0, Din1...Dinnを受け取る。これらは、例えば、論理値「1」に対して3.3ボルト、論理値「0」に対して0ボルトといったデジタル論理レベルである。これら信号の状態変化は、差分ライン上をそれぞ

れの受信器 56 に送られる。各受信器 56 は、それぞれに出力信号 Dout0, Dout1, . . . , Doutn を生成し、これら数百ミリボルトのレベルである。

【0010】イメージャ上には、シングルエンドインタフェースでなく、図 4 に示した差分インタフェースを用いることも可能であるが、既存のイメージプロセッサ装置は、図 1 に示す通常のシングルエンドインタフェースのみをサポートし、差分インタフェースはサポートしていないであろう。イメージャ上に両方のインタフェースを配置して、両方の種類のコンパニオンチップをサポートできるようにすることは可能だが、それではピンが増えてコストも上がる。

【0011】最長の解決法は、同じ数のピンで（差分インタフェースに比べて 2 倍の数のピンを要するといったことなく）、シングルエンドインタフェースと差分インタフェースのいずれかを選択的にサポートすることのできるインタフェースを実現することであろう。これによれば、一般に広く使われているシングルエンド画像処理装置と低ノイズの差分インタフェースとを備える新たな画像処理装置との両方をサポートする、という柔軟性を備えることができる。

【0012】使用するデジタルデータインタフェースピンを少なくすれば、電力、IC コスト、パッケージコストそして PC ボードのサイズは最小限にできるはずである。

【0013】

【発明が解決しようとする課題】しかしながら、ピンごとのデータレートは、ピンの数に反比例する。データレートを高くすれば、電磁障害やチップ出力のグラウンドバウンスなど、より高いノイズの原因となる。そしてまた、デジタルデータインタフェースピンの数がデータのワードサイズより少なければ、何らかの形の同期処理がたびたび必要となり、これは、システムの複雑さを増し、コストを上げることになる。

【0014】検証済みのイメージャ装置の一つとして、4 ビットのシングルエンドピクセルデータインタフェースを有するものがある。データワードサイズは 12 ビットであるので、各ピクセルのデータは 3 クロックに分けて一度に 4 ビットずつ転送される。個々のピクセルデータを転送するのに複数のクロックサイクルが必要とされるので、ある 4 ビットの転送が、ピクセルデータの最初の 4 ビットか中間の 4 ビットか最後の 4 ビットか、画像処理装置が判定できるように同期コードが必要となる。こうした同期処理は、システムをより複雑にし、システムのコストを増大させる。

【0015】イメージャがより高い解像度を備えるようになるにつれ、フレームごとのピクセル数も格段に多くなる。ピン当たりのデータレートを合理的な速度に抑えるために、インタフェースは、10 ビットピクセルデータの幅まで広げられた。しかしながら、データレートは

これでもまだ高いので、信号変換時間が短くなったりグラウンドバウンスが発生したりするだろう。こうしたことはいずれも、イメージャのシリコン基盤にノイズを導入し、画像内のノイズを増大させる場合がある。

【0016】差分インタフェースを用いてもよいが、普通、これはピンの数が 2 倍になるという結果を招く。ビット転送ごとに 2 つのピンが用いられるからである。一つは「真」値（ノーマル値）のためのもの、もう一つは「補完」値のためのものである。本発明は上記課題に鑑み、シングルエンド出力と差分出力とをいずれも可能とし、最小限の数のピンしか使用しないように改良されたインタフェース回路を提供することを目的とする。

【0017】

【課題を解決するための手段】上記の目的を達成するために、本発明は、第 1 の信号出力線に接続された第 1 のシングルエンドインタフェースと、第 2 の信号出力線に接続された第 2 のシングルエンドインタフェースと、第 1 の出力線に接続された通常信号出力と第 2 の信号出力線に接続された補完信号出力とを備える差分インタフェースと、を有するデータインタフェース回路であって、前記データインタフェース回路の出力が、シングルエンドインタフェース出力と差分インタフェース出力の間で選択可能であること、を特徴とする。

【0018】これにより、シングルエンド出力と差分出力とをいずれも可能とし、最小限の数のピンしか使用しないように改良されたインタフェース回路を実現できる。

【0019】

【発明の実施の形態】以下の記述は、いかなる当業者でも本発明を製造、使用できるように提供されるものであり、発明者が熟考の結果として、本発明の実行する場合の最適な形態と見なすものを開示してある。しかしながら、当業者であれば、様々な変更の余地があることは容易に見て取れるであろう。それは、ここに開示したのが本発明の基本的な原理、特に CMOS イメージセンサから外部のデジタル信号処理装置への信号出力をシングルエンドと差分とで選択可能な形で実現するインタフェース回路を提供する、というものだからである。

【0020】本発明は、シングルエンドインタフェースまたは差分インタフェースのいずれでもありえるデータインタフェースである。ここで、本発明の好適な実施の形態を、図 5 を参照しながら説明する。図 5 の回路 100 は、シングルエンド出力とするか差分出力とするか選択可能である。シングルエンド出力が望ましい場合は ENSE 信号が許可され、差分出力が望ましい場合は ENDF 信号が許可される。一度に選択できるモードは 1 つだけなので、ENSE と ENDF 信号は相補的であるといえる。したがって、選択された出力の種類を表すには単一のレジスタビットを用いればよい。インタフェースが最も簡単になるのは、シングルエンドのデータインタ

フェース幅がピクセルのワード幅と等しいときである。ここでの好適な実施の形態では、データ幅が10ビットなので、10本のピンが使用される。図5は、回路の2つのピンに関する動作を図示しているが、当業者にとっては、必要な電気回路を複製して所望の数の出力ピンを製造する方法は自明であろう。データビットは全て、クロックの一方のエッジ（例えば、クロックの立ち上がりエッジ）において転送される。

【0021】シングルエンドでの動作の場合、内部ディジタル化信号ID0およびID1は、フリップフロップ104、105によって計時されて、シングルエンド出力ドライバ106、107が出力信号線を駆動する。そうして、シングルエンド出力D0およびD1は、コンパニオンチップまたは他のオフチップ電気回路に提供される。差分電気回路108は不許可となっているので、シングルエンド動作には干渉しない。

【0022】ただし、差分出力が要求された場合は、差分電気回路108が許可となり、シングルエンド電気回路106、107は不許可にされる。差分モードでは、ビットの半分がクロック一方のエッジにおいて転送され、ビットの残り半分がクロックのもう一方のエッジにおいて転送される。こうしたクロッキング方式だと、シングルエンドのインタフェースの場合と比べて使用するピンの数は同じである。このように、クロックエッジとデータ転送との関係が常に一定であれば、明示的な同期は必要ない。内部ディジタル化信号ID0およびID1は、フリップフロップ101、102およびマルチプレクサ103によって計時され、それによって、クロックの立ち上がりエッジにおいて1つの信号が、下がりエッジにおいては別の信号が、それぞれ選択されることになる。マルチプレクサ103からの出力は差分インタフェース回路に提供され、正常出力および補完出力の信号を生成する。そうして、クロックサイクルの半分ではビットの半分が差分形式で生成され、クロックサイクルの他の半分では残りのビットが生成される。このように、差分出力の生成については、2倍の数のピンを必要とすることなく、データ転送が遅くなる原因となる複雑なビット同期方式も不要である。

【0023】公知技術のCMOSイメージャは全て、シングルエンドインタフェースを使用していた。シングルエンドインタフェースの使用を認めれば、多くの既存外部デバイスにインタフェースすることができる。差分インタフェースの使用を認めれば、ノイズを低減でき、電力インタフェースを下げることができる。シングルエンドと差分とを統合した信号インタフェースであれば、シングルエンドのみのインタフェースの場合に比べて必要なピンの数が増加することはないであろう。データ転送幅をワード幅に設定すれば、シングルエンドモードであるか差分モードであるかに関わりなく、クロックエッジとデータ転送とのタイミング関係は一定とすることがで

きる。タイミング関係を固定できれば、明示的な同期処理の必要はなくなり、そのためのコストも不要となる。本発明は、インタフェースの柔軟性を高める目的で、図4に示した差分専用インタフェースの代わりに用いることにしてもよい。

【0024】このように、本実施の形態におけるインタフェース回路は、シングルエンドインタフェースまたは差分インタフェースのいずれでもありうるCMOSイメージャ用データインタフェースである。シングルエンドインタフェースとしては、既存の外部デバイスの多くと互換性を備える。さらに、差分インタフェースを実現することで、差分信号をサポートする外部デバイスとのインタフェースにおけるノイズの低減と消費電力の低下とが見込める。シングルエンドおよび差分信号の統合インタフェースの場合、ピンの数はシングルエンドのみのインタフェースに要するピンの数よりも多くはならない。データ転送幅はワード幅の設定され、それによって、シングルエンドおよび差分の両モードにおいて、クロックエッジとデータ転送との時間関係を固定することができる。シングルエンドモードでは、データはクロックごとに1回転送されるが、差分モードでは、クロックごとに2回、クロックの各エッジにおいて転送される。時間関係が固定なので、明示的にビット同期をとる必要はなくなり、そのためのコストも不要となる。

【0025】当業者であれば、上記の好適な実施の形態について、本発明のその範囲および精神から外れることなく、様々な修正や変形が可能であることは自明であろう。したがって、添付の特許請求の範囲に開示された範囲で、本発明を、特にここに記述したのとは別の形で実施してもよいことは明らかである。

【0026】

【発明の効果】以上の説明から明らかなように、本発明は、第1の信号出力線に接続された第1のシングルエンドインタフェースと、第2の信号出力線に接続された第2のシングルエンドインタフェースと、第1の出力線に接続された通常信号出力と第2の信号出力線に接続された補完信号出力とを備える差分インタフェースと、を有するデータインタフェース回路であって、前記データインタフェース回路の出力が、シングルエンドインタフェース出力と差分インタフェース出力の間で選択可能であること、を特徴とするので、シングルエンド出力と差分出力とをいずれも可能とし、最小限の数のピンしか使用しないように改良されたインタフェース回路を実現できる。

【0027】また、上記の本発明のインタフェース回路において、前記シングルエンド出力が選択された場合には、おのおのの信号出力線で、クロックサイクル毎に1ビットが転送され、前記差分出力が選択された場合には、クロックの第1のエッジにおいて全出力ビットの半分が転送され、前記クロックの第2のエッジにおいて前

記出力ビットの残り半分が転送されることとすれば、出力に使用するピンの総数はシングルエンドと差分出力とで同じになるので、シングルエンドに必要な数のピンで、シングルエンドと差分との両方のインタフェースを実現できる。

【0028】そして、上記のインタフェース回路をCMOSイメージセンサチップに組み込むこととすれば、シングルエンド出力と差分出力とをいずれも可能とし、最小限の数のピンしか使用しないCMOSイメージセンサチップが得られる。また、本発明のインタフェース回路については、データ転送幅をCMOSイメージセンサの出力のワード幅に設定することとすれば、シングルエンドおよび差分の両出力において、クロックエッジとデータ転送との時間関係を固定することができ、それによって、明示的にビット同期をとる必要がなくなり、そのためのコストも不要となる。

【0029】また、本発明は、第1の信号出力線に接続された第1のシングルエンドインタフェースと、第2の信号出力線に接続された第2のシングルエンドインタフェースと、第1の出力線に接続された通常信号出力と第2の信号出力線に接続された補完信号出力とを備える差分インタフェースとを有し、出力がシングルエンドインタフェース出力と差分インタフェース出力の間で選択可能であるデータインタフェース回路を有するCMOSイメージセンサと、前記CMOSイメージセンサに接続されて前記データインタフェース回路からの出力信号を受け取る画像処理プロセッサとを有するCMOSイメージング装置、とすることもでき、それによって、シング

ルエンド出力と差分出力とをいずれも可能とし、最小限の数のピンしか使用しないCMOSイメージング装置を実現できる。

【0030】そして、本発明は、複数のCMOSイメージ検知ピクセルを用いてアナログ画像信号を形成するステップと、前記アナログ画像信号を変換して複数のデジタル出力信号を形成するステップと、そして、前記デジタル出力信号を、選択に応じて、シングルエンドまたは差分のインタフェース回路のいずれかを介して、デジタル画像処理装置に転送するステップとを有する画像処理方法とすることもでき、それによって、シングルエンド出力と差分出力とをいずれも可能とし、最小限の数のピンしか使用しない画像処理方法を実現できる。

【図面の簡単な説明】

【図1】 CMOSの中に組み込まれた典型的なシングルエンドインタフェースを示す図である。

【図2】 図1のシングルエンドインタフェースの回路図である。

【図3】 差分インタフェース回路の回路図である。

【図4】 図3の差分インタフェース回路をイメージャ適用した例を示す図である。

【図5】 本発明の実施の形態による回路図である。

【符号の説明】

100 回路

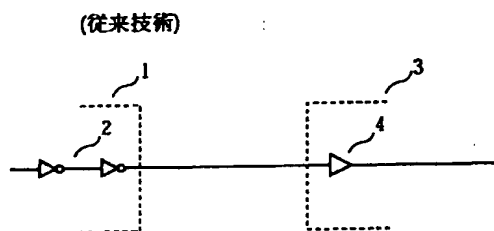
101、102、104、105 フリップフロップ

103 マルチプレクサ

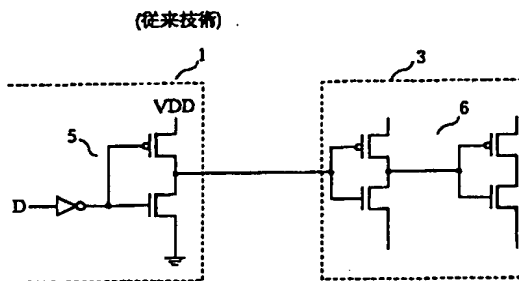
106、107 シングルエンド電気回路

108 差分電気回路

【図1】

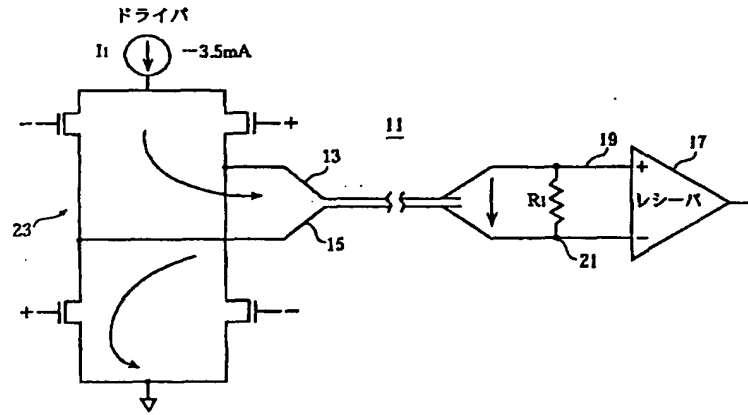


【図2】

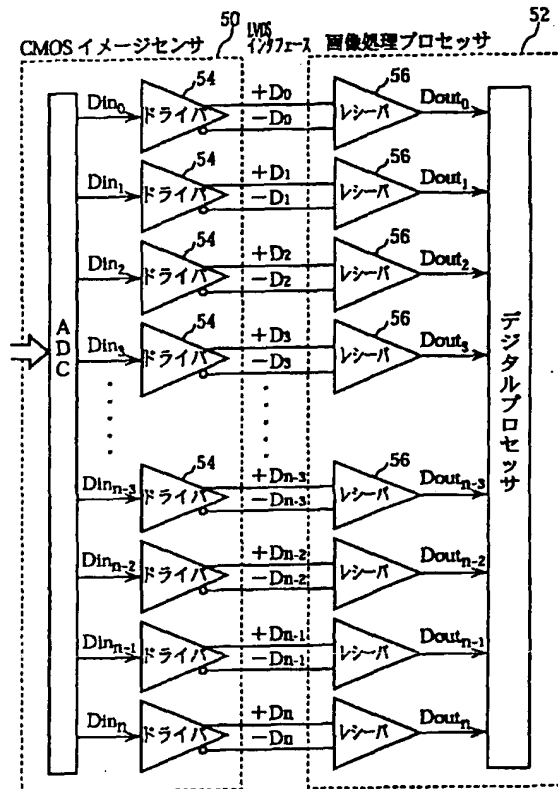


【図3】

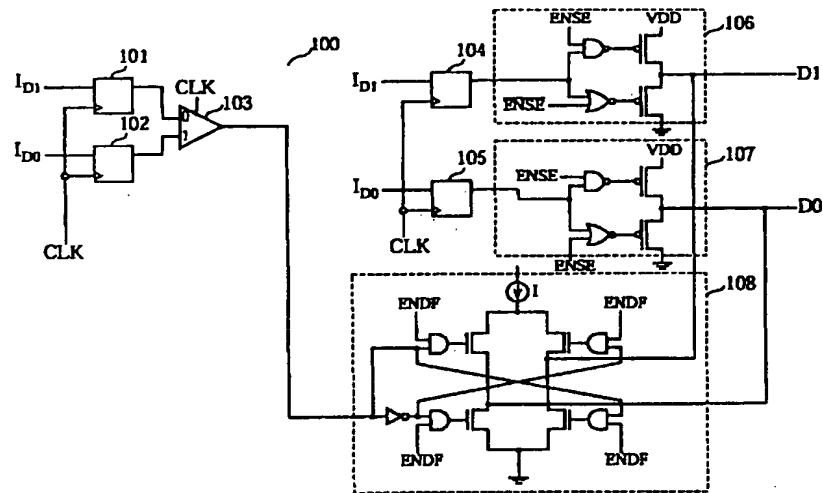
(従来技術)



【図4】



【図 5】



フロントページの続き

(72)発明者 フェリー グナワン
 アメリカ合衆国 カリフォルニア州
 92707 サンタアナ サウスフラワースト
 リート 3810 アpartment ジー

(72)発明者 ディノ ディ トロッタ
 アメリカ合衆国 カリフォルニア州
 92627 コスタメサ サンタイザベル 308
 ユニット エーツー